

PRELIMINARY SPECIFICATION

2/6

NEC

1980.9/30

N E C CMOS μ PD 2833C/34C.

PLL - LSI

μ PD 2833C is a CMOS LSI for the PLL synthesizer.

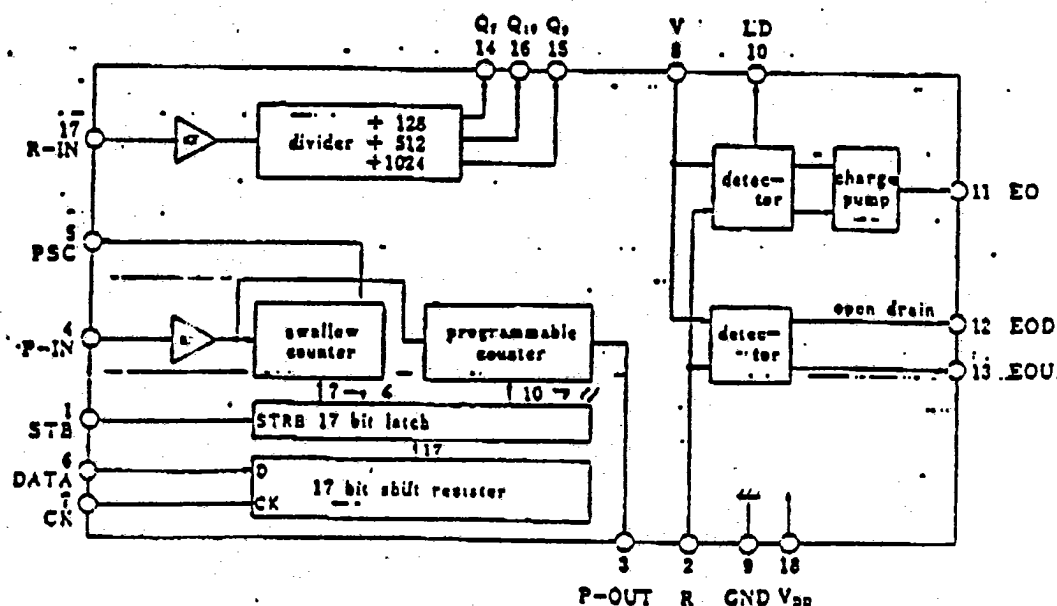
The swallow counter with linearly programmable counter with linearly 10 bit, phase comparator, charge pump and the standard frequency synthesizer are integrated into one chip.

Together with prescaler with up to 900 MHZ, direct frequency synthesizer will be possible.

Special Features

- o together with dual modulars prescaler, the frequency synthesizer up to the max 900 MHZ, the same frequency synthesizer to the comparator frequency and the channel space can be done.
- o 18 PIN MOLD DIP
- o serial interface to the data, the clock and stroke of the programmable divider
- o two types of phase comparators outputs are available and the charge pump can be connected externally.

BLOCK DIAGRAM



3/6

 $T_a = 25^\circ\text{C}$

Item	Symbol	Rating	Unit	Condition
Supply Voltage	V_{dd}	-0.3 - +7	V	
Input Voltage	V_{in}	-0.5 - $V_{dd} + 0.5$	V	
Output Voltage	V_{out}	-0.5 - $V_{dd} + 0.5$	V	
Output Voltage	V_{out}	-0.5 - $V_{dd} + 0.3$	V	13 primarily
Operating Temp.	T_{opt}	-40 - +85	C	
Storage Temp.	T_{stg}	-65 - +150	C	

RECOMMENDED OPERATING CONDITION

 $V_{dd} = 5\text{ V} \pm 10\%$, $T_a = -40\text{ to }+85^\circ\text{C}$

Item	Symbol	condition	Min	Typ	Max.	Unit
Input Rising Time	t_{ir}	1,2,6,7,8 pin		20	500	ns
Input Filling Time	t_{ir}	1,2,6,7,8 pin		20	500	ns

DC CHARACTERISTICS

 $(V_{dd} = 5\text{ V} \pm 10\%$, $T_a = -40\text{ to }+85^\circ\text{C})$

Item	Symbol	Condition	Min	Max.	Unit
Low Level Inp.Volt.	V_{IL}	1,2,6,7,8 pin		0.3 V_{DD}	V
High Level Inp.Volt.	V_{IH}	1,2,6,7,8 pin	0.7 V_{DD}		V
Low Level Outp. Volt.	V_{OL}	5,10,11 $I_{OL} = 0.1\text{ mA}$		1.0	V
Low Level Outp. Volt.	V_{OL}	3,14,15,16 pin $I_{OL} = 0.4\text{ mA}$		0.4	V
Low Level Outp. Volt.	V_{OL}	11 pin $I_{OL} = 3\text{ mA}$		2.0	V
Low Level Outp. Volt.	V_{OL}	13 pin $I_{OL} = 1.2\text{ mA}$		0.4	V
Low Level Outp. Volt.	V_{OL}	12 pin $I_{OL} = 1.5\text{ mA}$		1.0	V
High Level Outp.Volt.	V_{OH}	5,10 pin $I_{OH} = 0.1\text{ mA}$	4.0		V
High Level Outp.Volt.	V_{OH}	3,14,15,16 pin $I_{OH} = 20\mu\text{A}$	2.4		V
High Level Outp.Volt.	V_{OH}	11 pin $I_{OH} = 3\text{ mA}$	3.0		V
High Level Outp.Volt.	V_{OH}	13 pin $I_{OH} = 1.2\text{ mA}$	3.0		V
Input Leakage Connect.	I_{LI}	4,7 pin		± 40	μA
Output Leakage Connect.	I_{LO}	11 pin		± 10	μA

AC CHARACTERISTICS

 $(V_{DD} = 5\text{ V} \pm 10\%$, $T_a = -40\text{ to }+85^\circ\text{C})$

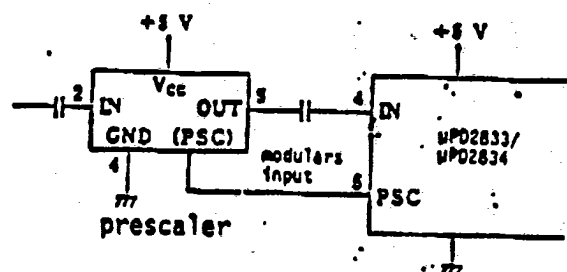
Item	Symbol	Condition	Min	Max.	Unit
Operating Frequency	$f_{in(4)}$	4 pin $V = 1\text{ V}$ Sine wave p-p	1	7.8	MHz
	$f_{in(17)}$	17 pin $V = 1\text{ V}$ Sine wave p-p	1	14.0	MHz
Output Delivery Time	t_{pd}	5 pin $C_L = 20\text{ pF}$		120	ns
Output Rising and Filling Time	t_r, t_f	5 pin $C_L = 20\text{ pF}$		40	ns
Supply Connection	I_{DD}	28 pin $f_{max(6)} = 7\text{ MHz}$ $f_{max(17)} = 14\text{ MHz}$		11	mA
Input Amplitude	V_{in}	4,17 pin	1.0	V_{DD}	V_{DD}

NEC

Page: ...

4/6

CONNECTION UNIT PRESCALER



available prescaler

μPB566C (900 MHz 用)

μPB571C (500 MHz 用)

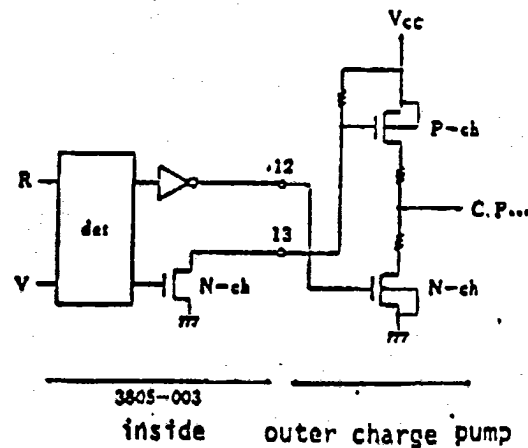
μPB555C (150 MHz 用)

Connection of prescaler will be done by decoupling DC current with capacitor between output of prescaler and input of programmable divider. PSC output of modulars input and μPD 2833 will be connected directly. μPB 566C (to 900 MHz), μPB 571C (to 500 MHz) and μPB -55C (to 150 MHz) will be guaranteed for the interface in case the supply voltage and GND is the same level.

P L L POLARITY (EO OUT PUT)

 $f_v > f_R$ --- High Level $f_v = f_R$ --- High impedance $f_v < f_R$ --- Low level

Method of outer connection
of charge pump



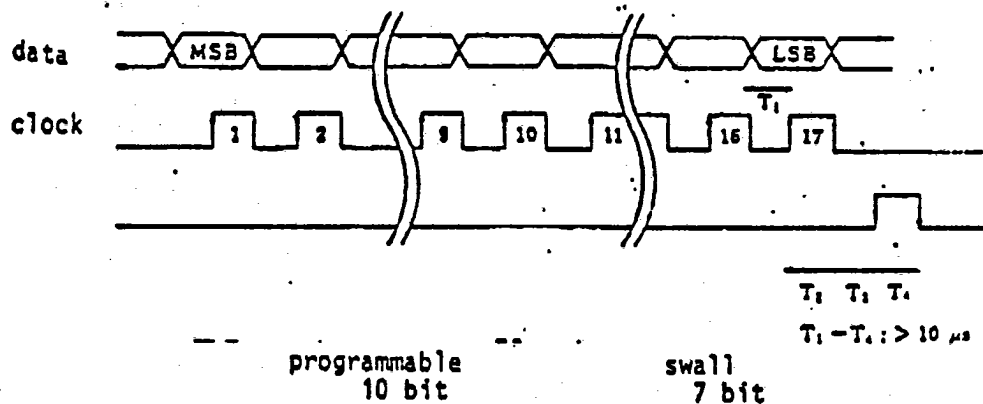
NEC

Page:

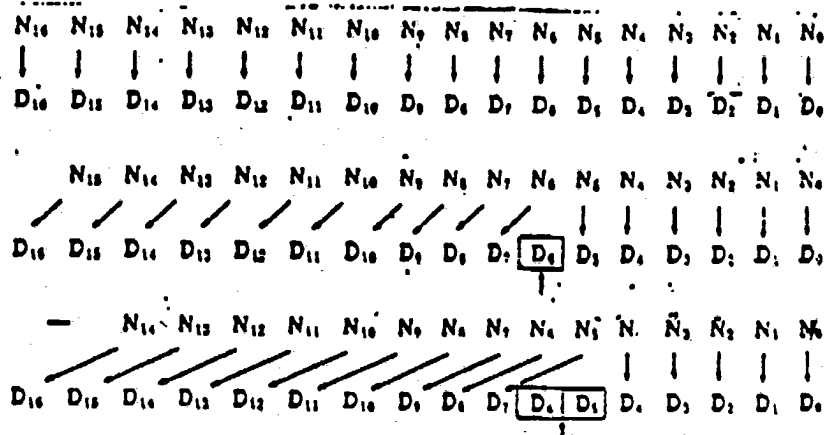
"N" valve of programmable divider will input data of binary 17 bit from MSB to shift register, and will latch by the strobe signal at the end. Shift from data with the positive logic and the clock will be shifted at point rising up the data will go through at the high line of strobe and will be latched at falling and be stored at the low level.

There is no problem to charge the "N" valve of the total to the binary at the :128 / :129 (7 bit) of prescaler. But by smaller + ratio for frequency such as :64 / :65, :32 / :33 etc., the dummy out should be adden.

INPUT FREQUENCY



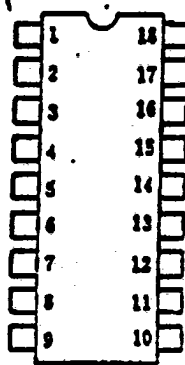
Function of dummy bit (N_{16} to N_0 is the calculated "N" valve (N_{16} ; MSB)
(D_{16} to D_0 is the data input of μ PD 3805C-003(D_{16} ; MSB)



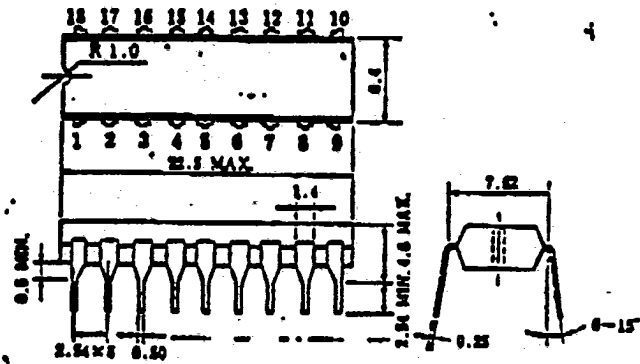
NEC

Page:

PIN CONFIGURATION



PHYSICAL DIMENSION (unit mm)



(Top View)

Pin No	Name	Function
1	STB	Stroke input pin for 17 bit latch to specify "N" valve
2	R	input of phase comparator in case of rolling type of LPF, the standard signal input
3	P-OUT	Output pin of programmable divider
4	P-IN	Input pin of programmable divider
5	PSC	./ P at H; ./.(P-1) at Lo of continual output of prescaler
6	DATA	Data Input pin of 17 bit
7	CK	Clock Input pin of 17
8	V	Variable Input of phase comparator. In case of rolling type of LPF, connection with 3 pin
9	GND	G N D
10	LD	Lock detextor, High=Lock, pulse output without lock
11	EO	Phase Comparator Output (TV: state)
12	EOD	Phase Comparator Output (charge pampe) N-cn open chain
13	EOU	Phase Comparator Output CMOS output
14	Q7	Standard frequency divider output ./ 128
15	Q10	Standard frequency divider output ./ 1024
16	Q9	Standard frequency divider output ./ 512
17	R-IN	Standard frequency divider input 1 V p-p
18	V _{DD}	Supply Voltage (+ 5 v)

NEC
 電子デバイス

 MOS デジタル集積回路
 MOS Digital Integrated Circuit

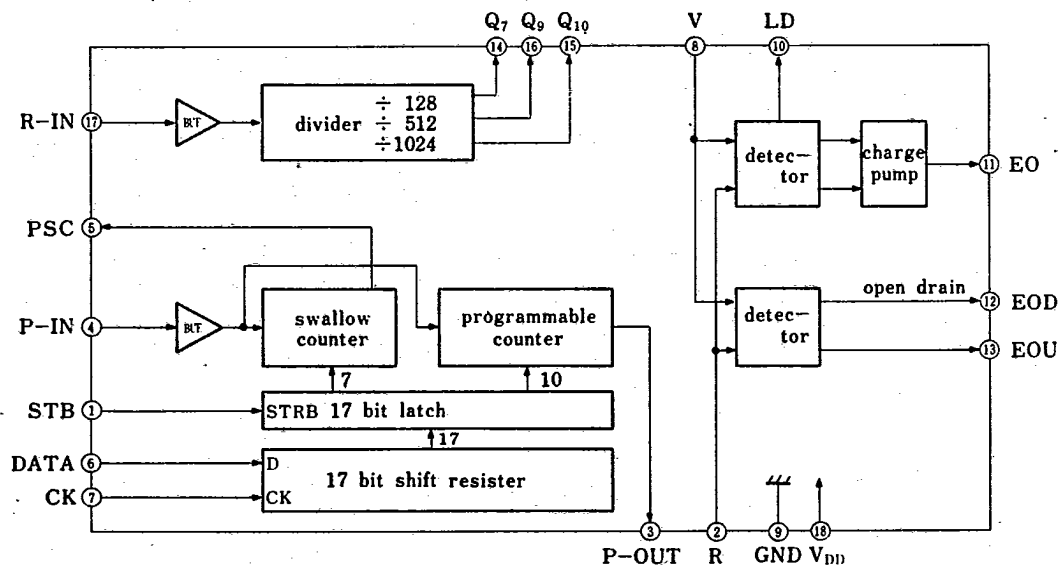
 μ PD2833C
PLL 周波数シンセサイザ用 LSI

μ PD2833C は、PLL 周波数シンセサイザ用 CMOS LSI です。

バイナリ 7 ビットのスワローカウンタ、バイナリ 10 ビットのプログラマブルカウンタ、位相比較器、チャージポンプ、基準周波数用分周器を 1・チップ化しており、900 MHz 帯までのプリスケアラと組合せることにより直接分周の周波数シンセサイザを構成できます。

特長/Features

- ・デュアルモジュラス・プリスケアラとの組合せにより最大 900 MHz 帯まで比較周波数とチャンネルスペースが等しい周波数シンセサイザが構成できる。(バイナリ 17 ビットのプログラマブルディバイダ)
- ・18 ピンプラスチック DIP で小形である。
- ・プログラマブルディバイダのデータはデータ、クロック、ストローブの 3 本のみのシリアルインタフェース
- ・2 つの形式の位相比較器出力があり、チャージポンプを外付けにできる。

ブロック図/Block Diagram


日本電気株式会社

 IC-6311
 AUG.-5-85P

© 1984 NEC Corporation

絶対最大定格/Absolute Maximum Ratings ($T_a = 25^\circ\text{C}$)

項 目	略 号	定 格	単 位	条 件
電 源 電 圧	V_{DD}	$-0.3 \sim +7$	V	
入 力 電 圧	V_{IN}	$-0.5 \sim V_{DD} + 0.5$	V	
出 力 電 圧	V_{OUT}	$-0.5 \sim V_{DD} + 0.5$	V	
出 力 電 圧	V_{OUT}	$-0.5 \sim V_{DD} + 3.0$	V	12ピンのみ
動 作 温 度	T_{opt}	$-40 \sim +85$	$^\circ\text{C}$	
保 存 温 度	T_{stg}	$-65 \sim +150$	$^\circ\text{C}$	

推奨動作条件/Recommended Operating Conditions ($V_{DD} = 5\text{ V} \pm 10\%$, $T_a = -40 \sim +85^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力立上り時間	t_{ir}	1, 2, 6, 7, 8ピン		20	500	ns
入力立下り時間	t_{if}	1, 2, 6, 7, 8ピン		20	500	ns

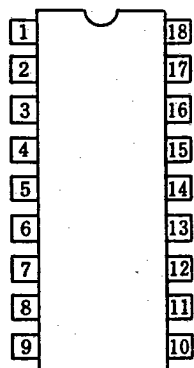
直流特性 ($V_{DD} = 5\text{ V} \pm 10\%$, $T_a = -40 \sim +85^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
低レベル入力電圧	V_{IL}	1, 2, 6, 7, 8ピン			$0.3 \cdot V_{DD}$	V
高レベル入力電圧	V_{IH}	1, 2, 6, 7, 8, ピン	$0.7 \cdot V_{DD}$			V
低レベル出力電流	V_{OL}	5, 10, $I_{OL} = 0.1\text{ mA}$			1.0	V
低レベル出力電流	V_{OL}	3, 14, 15, 16ピン $I_{OL} = 0.4\text{ mA}$			0.4	V
低レベル出力電流	V_{OL}	11ピン $I_{OL} = 3\text{ mA}$			2.0	V
低レベル出力電流	V_{OL}	13ピン $I_{OL} = 1.2\text{ mA}$			0.4	V
低レベル出力電流	V_{OL}	12ピン $I_{OL} = 1.5\text{ mA}$			1.0	V
高レベル出力電圧	V_{OH}	5, 10ピン $I_{OH} = 0.1\text{ mA}$	4.0			V
高レベル出力電圧	V_{OH}	3, 14, 15, 16ピン $I_{OH} = 20\text{ }\mu\text{A}$	2.4			V
高レベル出力電圧	V_{OH}	11ピン $I_{OH} = 3\text{ mA}$	3.0			V
高レベル出力電圧	V_{OH}	13ピン $I_{OH} = 1.2\text{ mA}$	3.0			V
入力リーク電流	I_{LI}	4, 17ピン			± 40	μA
出力リーク電流	I_{LO}	11ピン			± 10	μA

交流特性 ($V_{DD} = 5\text{ V} \pm 10\%$, $T_a = -40 \sim +85^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
動 作 周 波 数	$f_{in(4)}$	4ピン $V_{in} = 1\text{ V}_{p-p}$ Sinewave	1		7.9	MHz
	$f_{in(17)}$	17ピン $V_{in} = 1\text{ V}_{p-p}$ Sinewave	1		14.0	MHz
出力遅延時間	t_{PD}	5ピン $C_L = 20\text{ pF}$			120	ns
出力立上り, 立下り時間	t_r, t_f	5ピン $C_L = 20\text{ pF}$			40	ns
電 源 電 流	I_{DD}	18ピン $f_{max(4)} = 7.9\text{ MHz}$ $f_{max(17)} = 14\text{ MHz}$			11	mA
入 力 振 幅	V_{in}	4, 17ピン	1.0		V_{DD}	V_{p-p}

端子接続図/Connection Diagram (Top View)



ピン番号	端子名称	機能
1	STB	"N"値を指定する17ビットラッチのストローブ入力端子
2	R	位相比較器のリファレンス入力, LPFが反転型の場合は基準信号を入力する。
3	P-OUT	プログラマブルディバイダの出力端子。
4	P-IN	プログラマブルディバイダの入力端子。
5	PSC	プリスケアラのコントロール出力 H_i で $\div P$, L_o で $\div (P+1)$
6	DATA	17ビットシフトレジスタのデータ入力端子
7	CK	17ビットシフトレジスタのクロック入力端子
8	V	位相比較器のバリアブル入力, LPF が反転型では3ピンと接続
9	GND	システムグラウンド
10	LD	ロックはずれ検出端子(ロックディテクタ), ロックで H_i , ロックはずれでパルス出力
11	EO	位相比較器出力(スリーステート)
12	EOD	位相比較器出力(チャージポンプ外付け用) N-ch オープンドレイン
13	EOU	位相比較器出力(チャージポンプ外付け用) CMOS 出力
14	Q_7	基準周波数用デバイダ出力 $\div 128$
15	Q_{10}	基準周波数用デバイダ出力 $\div 1024$
16	Q_9	基準周波数用デバイダ出力 $\div 512$
17	R-IN	基準周波数用デバイダ入力 1 V_{p-p}
18	V_{DD}	電源端子(+5 V)

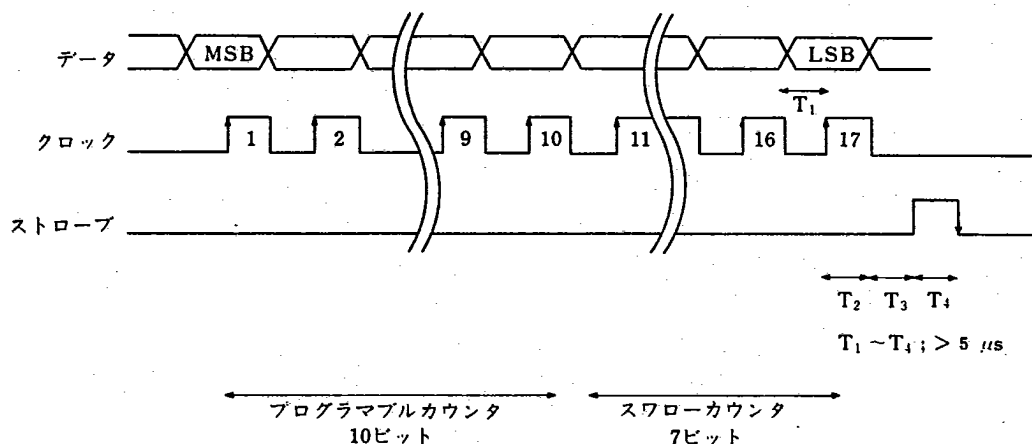
データ入力方法

プログラマブルディバイダの“N”値はバイナリ17ビットのデータを MSB (上位桁) よりシフトレジスタに入力し、最後にストロブ信号によりラッチします。

データは正論理、クロックは立上りでシフト、ストロブは High レベルでデータがスルーとなり立下りでラッチ、Low レベルで保持します。

データは、プリスケアラが $\div 128/\div 129$ (7ビット) ではトータルの“N”値をバイナリーに直せば問題ありませんが、より小さい分周比、たとえば、 $\div 64/\div 65$ 、 $\div 32/\div 33$ 等ではダミービットを追加する必要があります。

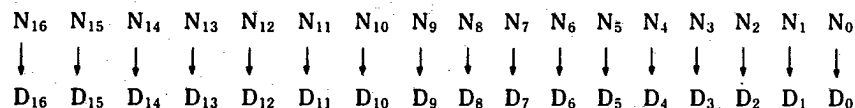
入力タイミング



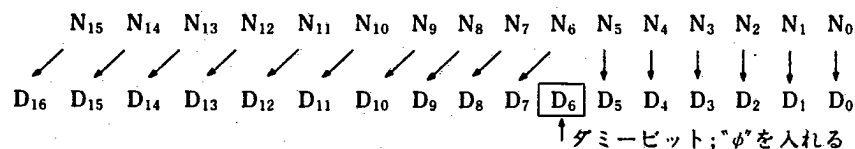
ダミービットの処理

$\left[\begin{array}{l} N_{16} \sim N_0 \text{ は計算した } N \text{ 値 } (N_{16}; \text{MSB}) \\ D_{16} \sim D_0 \text{ は } \mu\text{PD2833C} \text{ へ入力するデータ } (D_{16}; \text{MSB}) \end{array} \right]$

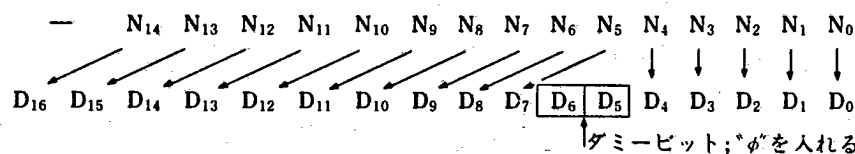
- $\div 128/\div 129$ の場合
(ダミー不要)



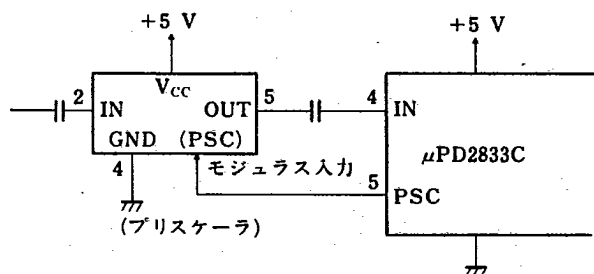
- $\div 64/\div 65$ の場合
(ダミー1ビット)



- $\div 32/\div 33$ の場合
(ダミー2ビット)



ブリスケーラとの接続



適合するブリスケーラ

μPB566C (900 MHz 用)

μPB571C (500 MHz 用)

μPB555C (150 MHz 用)

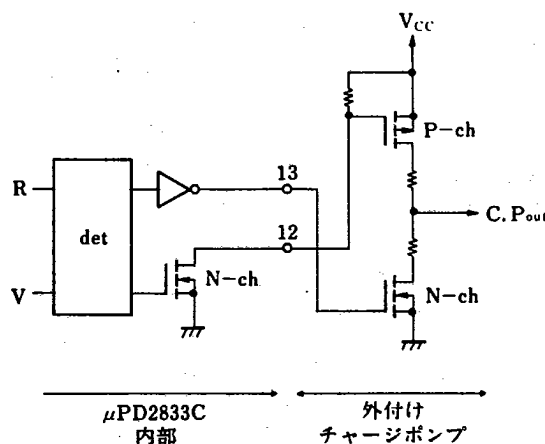
- ・ブリスケーラとの接続はブリスケーラの出力とプログラマブルディバイダ入力(4ピン)をコンデンサで直流をカットして接続します。
- ・ブリスケーラのモジュラス入力端子とPLL ICのPSC出力端子はDC結合の必要がありダイレクトに接続します。電源およびグラウンドが同電位であればインターフェイスについてはμPB566C (900 MHz 用), μPB571C (500 MHz 用), μPB555C (150 MHz 用) は保障されています。

PLL の極性について

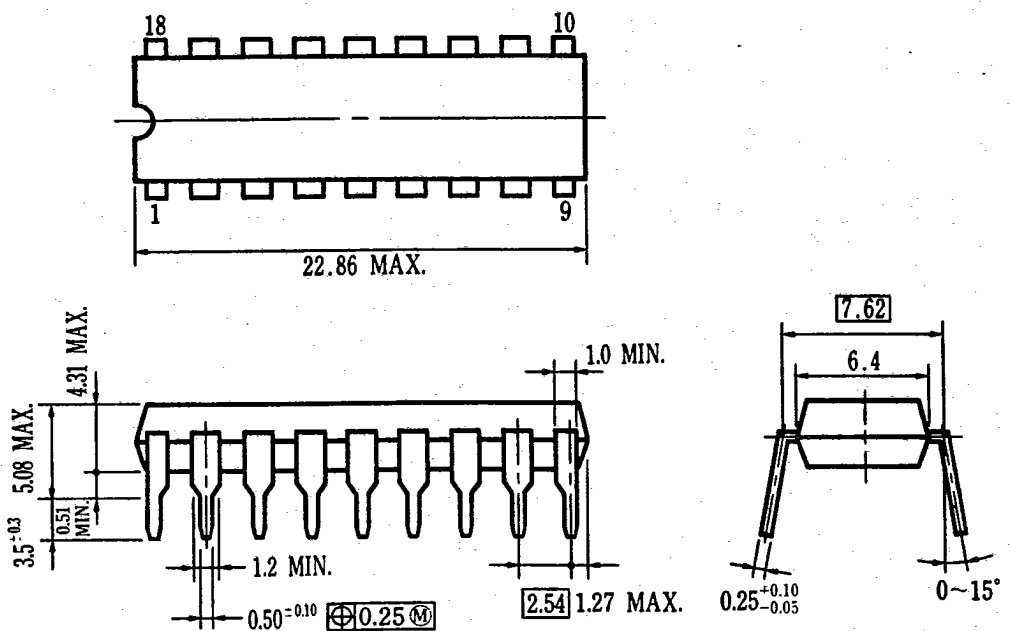
- ・ロウパスフィルタ(LPF)が反転形の場合で、かつPLLのループ内にVCOより高い周波数によるミキサがないか、直接分周のときは位相比較器の入力はR(2ピン)を基準信号に、V(8ピン)をプログラマブルディバイダの出力に接続する。
- ・LPFが非反転(たとえばパッシブフィルタ等)形のときはRとVの接続を逆にする。

チャージポンプの外付けの方法

- ・チャージポンプを外付けで構成できるよう、CMOS出力(13ピン), N-ch オープンドレイン(12ピン)が用意されています。
- ・チャージポンプの電源電圧はμPD2833Cよりも3Vまで高くできます。
- ・チャージポンプをP-ch, N-chのトランジスタ(ただしエンハンスメント形)を用いて構成した例を右図に示します。



18ピン・プラスチック DIP (300 mil) 外形図(単位: mm)



P18C-100-300A, C

NEC 日本電気株式会社

本社	東京都港区芝五丁目33番1号(日本電気本社ビル)	〒108 東京(03)454-1111
半導体営業部	東京都港区芝五丁目29番11号(日本電気住生ビル)	〒108 東京(03)456-6111
関西支社	大阪市北区堂島浜一丁目2番6号(新大阪ビル)	〒530 大阪(06)348-1461
半導体販売部		大阪(06)348-1466
中部支社	名古屋市中区栄四丁目15番32号(日産住生ビル)	〒460 名古屋(052)262-3611
販売部		
北海道支店	札幌市中央区南一条西五丁目10番1号	札幌(011)231-0161
青森支店	青森市青森区本町1丁目1番1号	青森(017)251-2255
岩手支店	岩手県盛岡市大町1丁目1番1号	盛岡(019)251-2255
秋田支店	秋田県秋田市大町1丁目1番1号	秋田(018)251-2255
山形支店	山形県山形市大町1丁目1番1号	山形(023)251-2255
福島支店	福島県福島市大町1丁目1番1号	福島(024)251-2255
茨城支店	茨城県水戸市大町1丁目1番1号	水戸(028)251-2255
栃木支店	栃木県宇都宮市大町1丁目1番1号	宇都宮(028)251-2255
群馬支店	群馬県高崎市大町1丁目1番1号	高崎(027)251-2255
埼玉支店	埼玉県さいたま市大町1丁目1番1号	さいたま(048)251-2255
千葉支店	千葉県千葉市大町1丁目1番1号	千葉(043)251-2255
東京支店	東京都中央区本町1丁目1番1号	東京(03)454-1111
神奈川支店	神奈川県横浜市中区大町1丁目1番1号	横浜(045)251-2255
新潟支店	新潟県新潟市大町1丁目1番1号	新潟(025)251-2255
富山支店	富山県富山市大町1丁目1番1号	富山(076)251-2255
石川支店	石川県金沢市大町1丁目1番1号	金沢(076)251-2255
福井支店	福井県福井市大町1丁目1番1号	福井(077)251-2255
山梨支店	山梨県山梨市大町1丁目1番1号	山梨(055)251-2255
長野支店	長野県長野市大町1丁目1番1号	長野(026)251-2255
岐阜支店	岐阜県岐阜市大町1丁目1番1号	岐阜(058)251-2255
愛知支店	愛知県名古屋市大町1丁目1番1号	名古屋(052)251-2255
三重支店	三重県津市大町1丁目1番1号	津(059)251-2255
滋賀支店	滋賀県彦根市大町1丁目1番1号	彦根(077)251-2255
京都支店	京都市中京区大町1丁目1番1号	京都(075)251-2255
大阪支店	大阪府大阪市大町1丁目1番1号	大阪(06)348-1461
和歌山支店	和歌山県和歌山市大町1丁目1番1号	和歌山(073)251-2255
奈良支店	奈良県奈良市大町1丁目1番1号	奈良(074)251-2255
大分支店	大分県大分市大町1丁目1番1号	大分(097)251-2255
熊本支店	熊本県熊本市大町1丁目1番1号	熊本(098)251-2255
鹿児島支店	鹿児島県鹿児島市大町1丁目1番1号	鹿児島(099)251-2255
沖縄支店	沖縄県那覇市大町1丁目1番1号	那覇(098)251-2255

神奈川支店	神奈川県横浜市中区大町1丁目1番1号	横浜(045)251-2255
新潟支店	新潟県新潟市大町1丁目1番1号	新潟(025)251-2255
富山支店	富山県富山市大町1丁目1番1号	富山(076)251-2255
石川支店	石川県金沢市大町1丁目1番1号	金沢(076)251-2255
福井支店	福井県福井市大町1丁目1番1号	福井(077)251-2255
山梨支店	山梨県山梨市大町1丁目1番1号	山梨(055)251-2255
長野支店	長野県長野市大町1丁目1番1号	長野(026)251-2255
岐阜支店	岐阜県岐阜市大町1丁目1番1号	岐阜(058)251-2255
愛知支店	愛知県名古屋市大町1丁目1番1号	名古屋(052)251-2255
三重支店	三重県津市大町1丁目1番1号	津(059)251-2255
滋賀支店	滋賀県彦根市大町1丁目1番1号	彦根(077)251-2255
京都支店	京都市中京区大町1丁目1番1号	京都(075)251-2255
大阪支店	大阪府大阪市大町1丁目1番1号	大阪(06)348-1461
和歌山支店	和歌山県和歌山市大町1丁目1番1号	和歌山(073)251-2255
奈良支店	奈良県奈良市大町1丁目1番1号	奈良(074)251-2255
大分支店	大分県大分市大町1丁目1番1号	大分(097)251-2255
熊本支店	熊本県熊本市大町1丁目1番1号	熊本(098)251-2255
鹿児島支店	鹿児島県鹿児島市大町1丁目1番1号	鹿児島(099)251-2255
沖縄支店	沖縄県那覇市大町1丁目1番1号	那覇(098)251-2255

神奈川支店	神奈川県横浜市中区大町1丁目1番1号	横浜(045)251-2255
新潟支店	新潟県新潟市大町1丁目1番1号	新潟(025)251-2255
富山支店	富山県富山市大町1丁目1番1号	富山(076)251-2255
石川支店	石川県金沢市大町1丁目1番1号	金沢(076)251-2255
福井支店	福井県福井市大町1丁目1番1号	福井(077)251-2255
山梨支店	山梨県山梨市大町1丁目1番1号	山梨(055)251-2255
長野支店	長野県長野市大町1丁目1番1号	長野(026)251-2255
岐阜支店	岐阜県岐阜市大町1丁目1番1号	岐阜(058)251-2255
愛知支店	愛知県名古屋市大町1丁目1番1号	名古屋(052)251-2255
三重支店	三重県津市大町1丁目1番1号	津(059)251-2255
滋賀支店	滋賀県彦根市大町1丁目1番1号	彦根(077)251-2255
京都支店	京都市中京区大町1丁目1番1号	京都(075)251-2255
大阪支店	大阪府大阪市大町1丁目1番1号	大阪(06)348-1461
和歌山支店	和歌山県和歌山市大町1丁目1番1号	和歌山(073)251-2255
奈良支店	奈良県奈良市大町1丁目1番1号	奈良(074)251-2255
大分支店	大分県大分市大町1丁目1番1号	大分(097)251-2255
熊本支店	熊本県熊本市大町1丁目1番1号	熊本(098)251-2255
鹿児島支店	鹿児島県鹿児島市大町1丁目1番1号	鹿児島(099)251-2255
沖縄支店	沖縄県那覇市大町1丁目1番1号	那覇(098)251-2255

NEC
 電子デバイス

 MOS デジタル集積回路
 MOS Digital Integrated Circuit

 μ PD2834C

PLL 周波数シンセサイザ用 LSI

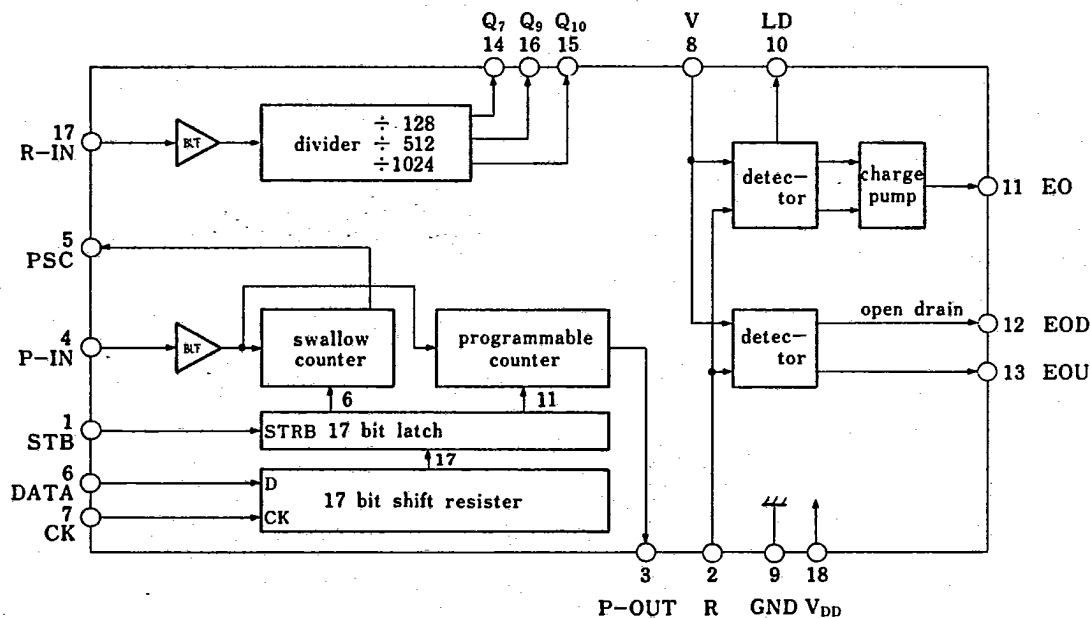
μ PD2834C は、PLL 周波数シンセサイザ用 CMOS LSI です。

バイナリ 6 ビットのスワローカウンタ、バイナリ 11 ビットのプログラマブルカウンタ、位相比較器、チャージポンプ、基準周波数用分周器を 1・チップ化しており、500 MHz 帯までのプリスケラと組合せることにより直接分周の周波数シンセサイザを構成できます。

特長/Features

- ・デュアルモジュラス・プリスケラとの組合せにより最大 500 MHz 帯まで比較周波数とチャンネルスペースが等しい周波数シンセサイザが構成できる。(バイナリ 17 ビットのプログラマブルディバイダ)
- ・18 ピンプラスチック DIP で小形である。
- ・プログラマブルディバイダのデータはデータ、クロック、ストローブの 3 本のみのシリアルインタフェース
- ・2 つの形式の位相比較器出力があり、チャージポンプを外付けにできる。

ブロック図/Block Diagram



日本電気株式会社

 IC-6312
 APR.-10-84P

© 1984 NEC Corporation

絶対最大定格/Absolute Maximum Ratings ($T_a = 25^\circ\text{C}$)

項 目	略 号	定 格	単 位	条 件
電 源 電 圧	V_{DD}	$-0.3 \sim +7$	V	
入 力 電 圧	V_{IN}	$-0.5 \sim V_{DD} + 0.5$	V	
出 力 電 圧	V_{OUT}	$-0.5 \sim V_{DD} + 0.5$	V	
出 力 電 圧	V_{OUT}	$-0.5 \sim V_{DD} + 3.0$	V	12ピンのみ
動 作 温 度	T_{opt}	$-40 \sim +85$	$^\circ\text{C}$	
保 存 温 度	T_{stg}	$-65 \sim +150$	$^\circ\text{C}$	

推奨動作条件/Recommended Operating Conditions ($V_{DD} = 5\text{ V} \pm 10\%$, $T_a = -40 \sim +85^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力立上り時間	t_{ir}	1, 2, 6, 7, 8ピン		20	500	ns
入力立下り時間	t_{if}	1, 2, 6, 7, 8ピン		20	500	ns

直流特性 ($V_{DD} = 5\text{ V} \pm 10\%$, $T_a = -40 \sim +85^\circ\text{C}$)

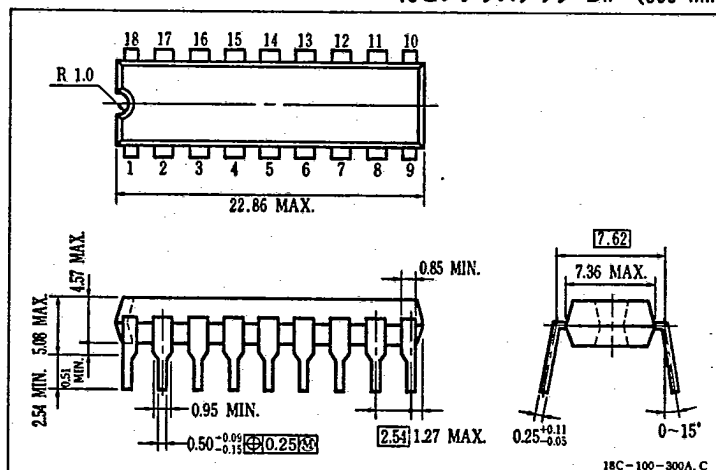
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
低レベル入力電圧	V_{IL}	1, 2, 6, 7, 8ピン			$0.3 \cdot V_{DD}$	V
高レベル入力電圧	V_{IH}	1, 2, 6, 7, 8, ピン	$0.7 \cdot V_{DD}$			V
低レベル出力電流	V_{OL}	5, 10, $I_{OL} = 0.1\text{ mA}$			1.0	V
低レベル出力電流	V_{OL}	3, 14, 15, 16ピン $I_{OL} = 0.4\text{ mA}$			0.4	V
低レベル出力電流	V_{OL}	11ピン $I_{OL} = 3\text{ mA}$			2.0	V
低レベル出力電流	V_{OL}	13ピン $I_{OL} = 1.2\text{ mA}$			0.4	V
低レベル出力電流	V_{OL}	12ピン $I_{OL} = 1.5\text{ mA}$			1.0	V
高レベル出力電圧	V_{OH}	5, 10ピン $I_{OH} = 0.1\text{ mA}$	4.0			V
高レベル出力電圧	V_{OH}	3, 14, 15, 16ピン $I_{OH} = 20\text{ }\mu\text{A}$	2.4			V
高レベル出力電圧	V_{OH}	11ピン $I_{OH} = 3\text{ mA}$	3.0			V
高レベル出力電圧	V_{OH}	13ピン $I_{OH} = 1.2\text{ mA}$	3.0			V
入力リーク電流	I_{LI}	4, 17ピン			± 40	μA
出力リーク電流	I_{LO}	11ピン			± 10	μA

交流特性 ($V_{DD} = 5\text{ V} \pm 10\%$, $T_a = -40 \sim +85^\circ\text{C}$)

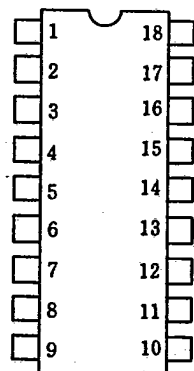
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
動 作 周 波 数	$f_{in(4)}$	4ピン $V_{in} = 1\text{ V}_{PP}$ Sinewave	1		7.9	MHz
	$f_{in(17)}$	17ピン $V_{in} = 1\text{ V}_{PP}$ Sinewave	1		14.0	MHz
出力遅延時間	t_{PD}	5ピン $C_L = 20\text{ pF}$			120	ns
出力立上り, 立下り時間	t_r, t_f	5ピン $C_L = 20\text{ pF}$			40	ns
電 源 電 流	I_{DD}	18ピン $f_{max(4)} = 7.9\text{ MHz}$ $f_{max(17)} = 14\text{ MHz}$			11	mA
入 力 振 幅	V_{in}	4, 17ピン	1.0		V_{DD}	V_{P-P}

外形図/Package Dimensions (Unit : mm)

18ピンプラスチック DIP (300 mil)



端子接続図/Connection Diagram (Top View)



ピン番号	端子名称	機能
1	STB	"N"値を指定する17ビットラッチのストローブ入力端子
2	R	位相比較器のリファレンス入力, LPFが反転型の場合は基準信号を入力する。
3	P-OUT	プログラマブルディバイダの出力端子。
4	P-IN	プログラマブルディバイダの入力端子。
5	PSC	プリスケアラのコントロール出力 Hiで ÷P, L ₀ で ÷(P+1)
6	DATA	17ビットシフトレジスタのデータ入力端子
7	CK	17ビットシフトレジスタのクロック入力端子
8	V	位相比較器のバリアブル入力, LPFが反転型では3ピンと接続
9	GND	システムグラウンド
10	LD	ロックはずれ検出端子(ロックディテクト), ロックで Hi, ロックはずれでパルス出力
11	EO	位相比較器出力(スリーステート)
12	EOD	位相比較器出力(チャージポンプ外付け用) N-ch オープンドレイン
13	EOU	位相比較器出力(チャージポンプ外付け用) CMOS 出力
14	Q ₇	基準周波数用デバイダ出力 ÷128
15	Q ₁₀	基準周波数用デバイダ出力 ÷1024
16	Q ₉	基準周波数用デバイダ出力 ÷512
17	R-IN	基準周波数用デバイダ入力 1 V _{p-p}
18	V _{DD}	電源端子(+5 V)

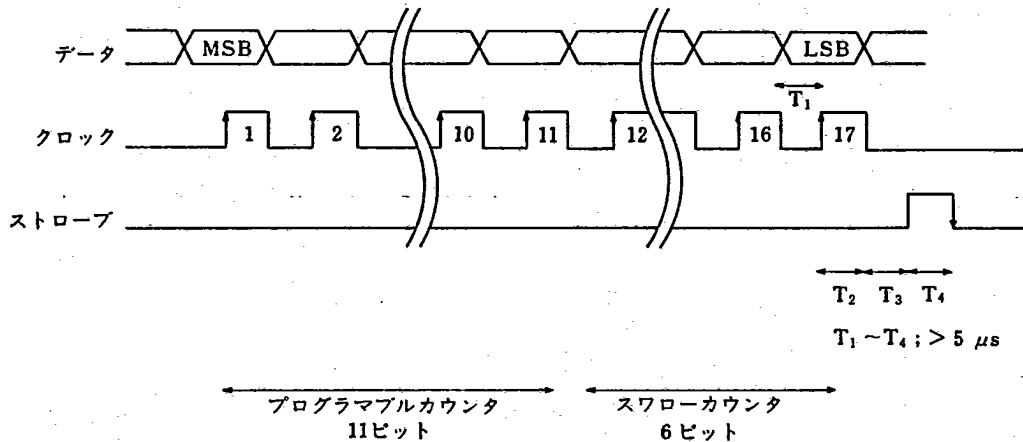
データ入力方法

プログラマブルディバイダの“N”値はバイナリ17ビットのデータをMSB(上位桁)よりシフトレジスタに入力し、最後にストローブ信号によりラッチします。

データは正論理、クロックは立上りでシフト、ストローブはHighレベルでデータがスルーとなり立下りでラッチ、Lowレベルで保持します。

データは、プリスケアラが $\div 64/\div 65$ (6ビット)ではトータルの“N”値をバイナリーに直せば問題ありませんが、より小さい分周比、たとえば、 $\div 32/\div 33$ 、 $\div 16/\div 17$ 等ではダミービットを追加する必要があります。

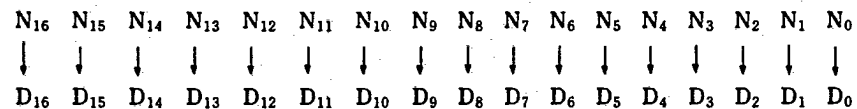
入力タイミング



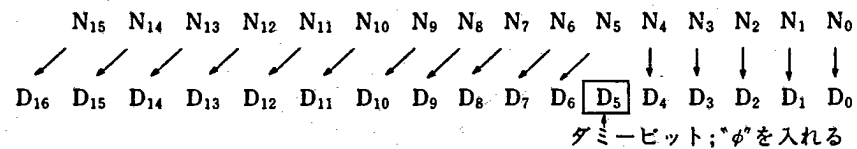
ダミービットの処理

$\left[\begin{array}{l} N_{16} \sim N_0 \text{ は計算した } N \text{ 値 } (N_{16}; \text{MSB}) \\ D_{16} \sim D_0 \text{ は } \mu\text{PD2834C} \text{ へ入力するデータ } (D_{16}; \text{MSB}) \end{array} \right]$

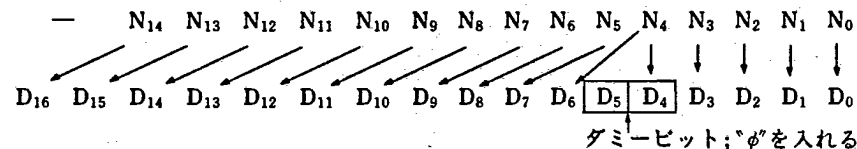
- $\div 64/\div 65$ の場合
(ダミー不要)



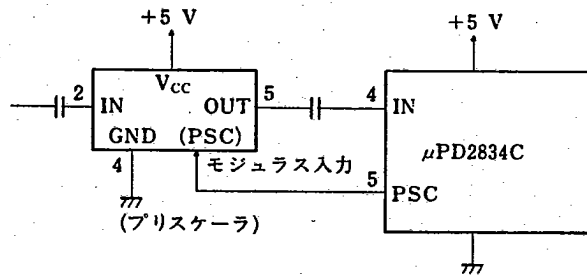
- $\div 32/\div 33$ の場合
(ダミー1ビット)



- $\div 16/\div 17$ の場合
(ダミー2ビット)



ブリスケーラとの接続



適合するブリスケーラ

- μPB571C (500 MHz 用)
- μPB555C (150 MHz 用)

- ・ブリスケーラとの接続はブリスケーラの出力とプログラマブルディバイダ入力(4ピン)をコンデンサで直流をカットして接続します。
- ・ブリスケーラのモジュラス入力端子と PLL IC の PSC 出力端子は DC 結合の必要がありダイレクトに接続します。電源およびグラウンドが同電位であればインターフェイスについては μPB571C(500 MHz 用), μPB555C(150 MHz 用)は保障されています。

PLL の極性について

- ・ロウパスフィルタ (LPF) が反転形の場合で、かつ PLL のループ内に VCO より高い周波数によるミキサがないか、直接分周のときは位相比較器の入力は R (2 ピン) を基準信号に、V (8 ピン) をプログラマブルディバイダの出力に接続する。
- ・LPF が非反転(たとえばパッシブフィルタ等)形の場合は R と V の接続を逆にする。

チャージポンプの外付けの方法

- ・チャージポンプを外付けで構成できるよう、CMOS 出力(13ピン), N-ch オープンドレイン(12ピン)が用意されています。
- ・チャージポンプの電源電圧は μPD2834C よりも 3 V まで高くできます。
- ・チャージポンプを P-ch, N-ch のトランジスタ(ただしエンハンスメント形)を用いて構成した例を右図に示します。

